

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-028240

(43)Date of publication of application : 27.01.1998

(51)Int.Cl.

H04N 5/335

H01L 27/146

(21)Application number : 08-325642

(71)Applicant : SONY CORP

(22)Date of filing : 05.12.1996

(72)Inventor : YONEMOTO KAZUYA

(30)Priority

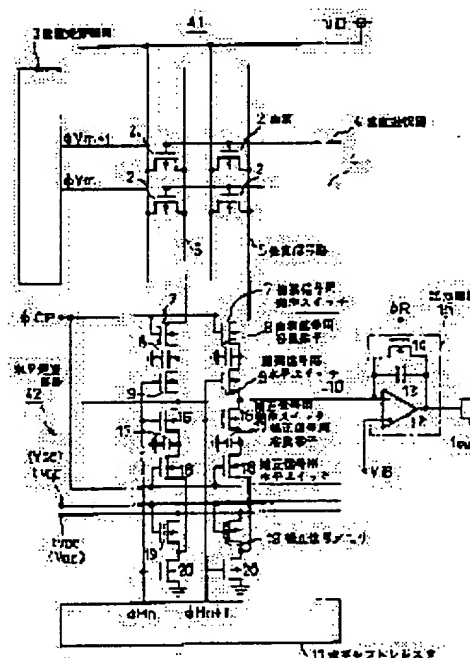
Priority number : 08116525 Priority date : 10.05.1996 Priority country : JP

(54) AMPLIFIER-TYPE SOLID STATE IMAGE-PICKUP ELEMENT AND ITS FIXED PATTERN NOISE CORRECTION METHOD AND CORRECTION VALUE WRITING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the fixed pattern noises by building a storage element into an amplifier type sold-state image-pickup element for storing the correction signals which correct the fixed pattern noises.

SOLUTION: The pixel signals are outputted to a vertical signal line 5 from one of both main electrodes of a pixel MOS transistor TR 2 of the row that is selected by a vertical selection pulse ϕ_{Vr} , outputted from a vertical-scanning circuit 3. These output pixel signals are held by a pixel signal load capacity element 8 through the break-make-break actions of a pixel signal operation switch 7. At the same time, the correction signals are outputted from the main electrode of a correction signal memory 19, where the correction value of the fixed pattern noises is written. These correction signals are held by a correction signal capacity element 17 through the break-make-break actions of a correction signal operation switch 18. These held pixel and correction signals are added together by a charge detection circuit 15 via a horizontal signal line 10, when a pixel signal horizontal switch 9 and a correction signal horizontal switch 16 conduct at a time, based on a horizontal scan pulse ϕ_{Hr} that is received from a horizontal shift resistor 11.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

5/6

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平10-28240

(43)公開日 平成10年 (1998) 1月27日

(51)Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/335			H 0 4 N 5/335	E
				P
H 0 1 L 27/146			H 0 1 L 27/14	A

審査請求 未請求 請求項の数14 O L (全 14 頁)

(21)出願番号	特願平8-325642	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日	平成8年 (1996) 12月5日	(72)発明者	米本 和也 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(31)優先権主張番号	特願平8-116525	(74)代理人	弁理士 松隈 秀盛
(32)優先日	平8 (1996) 5月10日		
(33)優先権主張国	日本 (J P)		

SEARCH REPORT

9 9 . 10 . 2 6

PH099-30
PCT

(54)【発明の名称】 増幅型固体撮像素子、その固定パターンノイズ補正方法、並びに、補正值書き込み方法

(57)【要約】

【課題】 増幅型固体撮像素子において、水平走査回路で発生する縦筋状の固定パターンノイズの除去を図る。

【解決手段】 受光素子2からの画素信号を行毎に出力端子t...に出力する水平走査回路42を有する増幅型固体撮像素子において、水平走査回路42内のスイッチ手段7、9のバラツキに応じた補正信号(補正電圧)を記憶する記憶素子19を有し、画素信号と同時に記憶素子に記憶させた補正信号を水平出力回路15に読み出す。

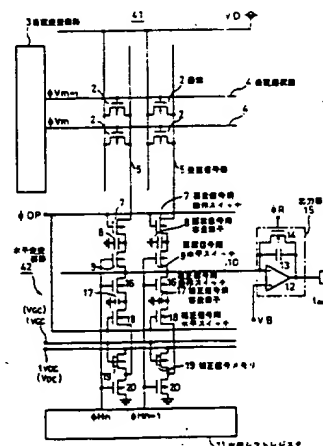


図1 実施例の構成図

【特許請求の範囲】

【請求項1】 受光素子からの画素信号を行毎に出力端子に出力する水平走査回路を有する増幅型固体撮像素子において、
前記水平走査回路内のスイッチ手段のバラツキに応じた補正信号を記憶する記憶素子を有し、
前記画素信号と同時に前記記憶素子に記憶させた補正信号を前記水平出力回路に読み出すことを特徴とする増幅型固体撮像素子。

【請求項2】 前記受光素子が行列状に配置され、
同一行の前記受光素子の制御電極が垂直走査回路からの垂直選択線に共通接続され、
同一列の前記受光素子の主電極が垂直信号線に共通に接続され、
前記記憶素子が受光素子の列毎に対応して配置されて成ることを特徴とする請求項1に記載の増幅型固体撮像素子。

【請求項3】 前記記憶素子にフローティングゲートMOSトランジスタ又はMONOS構造のトランジスタを用いて成ることを特徴とする請求項1に記載の増幅型固体撮像素子。

【請求項4】 前記記憶素子のフローティングゲートにホットエレクトロンを注入し、変化したしきい値電圧を前記補正信号として用いることを特徴とする請求項1に記載の増幅型固体撮像素子。

【請求項5】 前記記憶素子のフローティングゲートに対して、トンネル酸化膜を介して書き込み電極とフローティングゲート間のトンネル電流により電子を注入し又は引き抜き、変化したしきい値電圧を前記補正信号として用いることを特徴とする請求項1に記載の増幅型固体撮像素子。

【請求項6】 前記画素信号と前記記憶素子の補正信号を夫々別の容量素子に保持し、前記スイッチ手段を介して同一の水平信号線で混合して出力することを特徴とする請求項4に記載の増幅型固体撮像素子。

【請求項7】 前記画素信号と前記記憶素子の補正信号を夫々別の容量素子に保持し、前記スイッチ手段を介して同一の水平信号線で混合して出力することを特徴とする請求項5に記載の増幅型固体撮像素子。

【請求項8】 前記画素信号を保持する容量素子の容量より、前記記憶素子の補正信号を保持する容量素子の容量を小さくして成ることを特徴とする請求項4に記載の増幅型固体撮像素子。

【請求項9】 前記画素信号を保持する容量素子の容量より、前記記憶素子の補正信号を保持する容量素子の容量を小さくして成ることを特徴とする請求項5に記載の増幅型固体撮像素子。

【請求項10】 前記補正信号は垂直オプティカルブラックの信号を基準信号にして得ることを特徴とする請求項1に記載の増幅型固体撮像素子。

【請求項11】 記憶素子に固定パターンノイズの補正値を記憶させ、
水平走査パルスによって画素信号と前記補正値を混合して出力し、固定パターンノイズを補正することを特徴とする増幅型固体撮像素子の固定パターンノイズ補正方法。

【請求項12】 前記補正値を得るための基準信号として垂直オプティカルブラックの信号を用いることを特徴とする請求項11に記載の増幅型固体撮像素子の固定パターンノイズ補正方法。

【請求項13】 メモリトランジスタからなる記憶素子の一方の主電極にスイッチング素子を接続し、
前記スイッチング素子のオン・オフ動作によって前記記憶素子への補正値の書き込みを選択的に行うことを特徴とする補正値書き込み方法。

【請求項14】 前記補正値を得るための基準信号として垂直オプティカルブラックの信号を用いることを特徴とする請求項13に記載の補正値書き込み方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、増幅型固体撮像素子、その固定パターンノイズ補正方法、並びに補正値書き込み方法に関する。

【0002】

【従来の技術】近年、固体撮像素子の高解像度化の要求に従って、CCD固体撮像素子に代わって、スミアが無く、微細画素の実現が可能である増幅型固体撮像素子が開発されている。この増幅型固体撮像素子は、画素それぞれに光信号の増幅作用を持たせるために、MOS構造等の能動素子（いわゆるMOS型トランジスタ）で画素を形成し、光電変換により画素に蓄積された電荷をトランジスタの電流変調として信号を読み出すように構成される。

【0003】

【発明が解決しようとする課題】図11は、先に提案した増幅型固体撮像素子の比較例を示す。図11において、1は増幅型固体撮像素子を全体として示す。2は単位画素（セル）を構成する受光素子、本例では画素MOSトランジスタを示し、複数の画素MOSトランジスタ2が行列状に配列される。4は各行毎の画素MOSトランジスタ2の制御電極、即ちゲートに共通接続された垂直選択線、3は垂直走査信号、即ち垂直選択パルス ϕV （ $\phi V_1, \dots, \phi V_n, \phi V_{n+1}, \dots$ ）を順次与える垂直走査回路である。画素MOSトランジスタ2の一方の主電極、即ちソースは各列毎に垂直信号線5に共通接続され、他方の主電極即ちそのドレインが電源V₁に接続される。

【0004】各垂直信号線5には、動作スイッチ（例えばMOSスイッチ）7を介して信号電圧（電荷）を保持する負荷容量素子8が接続され、その接続点が水平スイ

ツチ (例えばMOSスイッチ) 9を介して水平信号線10に接続される。負荷容量素子8は垂直信号線5と接地電位との間に接続される。動作スイッチ7のゲートには動作パルス ϕ_r が印加される。水平スイッチ9のゲートは共通接続されて水平シフトレジスタ11に接続され、この水平シフトレジスタ11より水平スイッチ9に順次水平走査信号、即ち水平走査パルス ϕ_H ($\phi_{H1}, \dots, \phi_{Hn}, \phi_{Hn+1}, \dots$) が供給される。

【0005】尚、図示せざるも、負荷容量素子8よりも動作スイッチ側の垂直信号線5には負荷容量素子8及び垂直信号線5を初期電圧にリセットするためのリセットスイッチ (例えばMOSスイッチ) が接続される。即ち、このリセットスイッチのソースが垂直信号線5に接続され、そのドレインにリセットバイアス電圧 V_{rs} が与えられ、そのゲートにリセットパルス ϕ_{rs} が供給されるようになされる。

【0006】動作スイッチ7、負荷容量素子8、水平スイッチ9、水平シフトレジスタ11及び水平信号線10とによって、いわゆる水平走査回路16が構成される。

【0007】水平信号線10の出力端には、反転増幅器、例えば差動増幅器等を用いた演算増幅器12と、検出容量素子13と、リセットスイッチ (例えばMOSスイッチ) 14とを備えた出力回路、いわゆる電荷検出回路15が接続される。即ち、水平信号線10は電荷検出回路15の演算増幅器12の反転入力端子に接続され、その非反転入力端子に所定のバイアス電圧 V_b が与えられる。このバイアス電圧 V_b は、水平信号線10の電位を決めるためのものである。この演算増幅器12に並列に、すなわち、演算増幅器12の反転入力端子と出力端子間に検出容量素子13が接続され、この検出容量素子13に水平信号線10と検出容量素子13をリセットするリセットスイッチ14が並列接続される。リセットスイッチ14のゲートには、リセットパルス ϕ_{rs} が印加される。

【0008】図12は、単位画素 (即ち画素MOSトランジスタ) 2の半導体構造を示す断面図である。この図12において、31は第1導電型例えばp型の半導体基板、32はオーバーフローバリア領域となる第2導電型即ちn型の半導体ウエル領域、33は光電変換された信号電荷、この例ではホール34を蓄積するp型半導体ウエル領域である。

【0009】p型半導体ウエル領域33上に、ゲート絶縁膜37を介して例えば光を透過し得る薄膜の多結晶シリコンからなるリング状のゲート電極38が形成され、このリング状のゲート電極38を挟んでセルフアラインにてその内側及び外側に対応するp型半導体ウエル領域33の表面にn型のソース領域35及びドレイン領域36が形成される。ゲート電極38直下のp型半導体ウエル領域33に光電変換によって蓄積されたホール34は、読み出し動作時におけるチャネル電流 (ドレイン電

流) I_d を制御し、そのチャネル電流 I_d の変化量が信号出力となる。

【0010】この図11の増幅型固体撮像素子1では、入射光により蓄積された信号電荷に応じて画素MOSトランジスタ2の主電極から出てくる画素信号が垂直信号線5から動作スイッチ7を介して負荷容量素子8に送られ保持される。そして、水平走査期間中に、水平シフトレジスタ11からの水平走査パルス ϕ_H ($\phi_{H1}, \dots, \phi_{Hn}, \phi_{Hn+1}, \dots$) で水平スイッチ9が順次オンして負荷容量素子8に保持された画素信号は、水平信号線10に電荷として流れ、電荷検出回路15により電圧に復調されて画素信号として出力端子 t_{out} に出力される。

【0011】ところで、図11の比較例の場合、水平走査回路16において、負荷容量素子8に保持した画素信号を水平スイッチ9を介して水平信号線10から電荷検出回路15に出力するとき、動作スイッチ7と水平スイッチ9のしきい値電圧 V_{th} のバラツキが出力に乗ってしまい、画面上に縦筋状の固定パターンノイズとして現われ、画質を劣化させていた。

【0012】詳しい動作としては、垂直走査回路3からの垂直選択パルス ϕ_V ($\phi_{V1}, \dots, \phi_{Vm}, \phi_{Vm+1}, \dots$) により垂直選択線4を通してm行目の画素2が選択され、動作スイッチ7が導通 (オン) することで選択されたm行目の画素2の画素信号が垂直信号線5を介して負荷容量素子8に出力される。画素信号の出力が完了したら、動作スイッチ7が遮断状態 (オフ) に入るが、このとき、動作スイッチ7のしきい値電圧 V_{th} にバラツキがあると、そのバラツキに応じた電圧が負荷容量素子8に保持される画素の信号電圧に加算され、縦筋状の固定パターンノイズが水平出力回路、即ち電荷検出回路15の出力端子 t_{out} に現れる。

【0013】これと同様に、負荷容量素子8に保持されている画素信号が、水平シフトレジスタ11により順次水平スイッチ9が導通し水平信号線10を通して電荷検出回路15に送られるとき、水平スイッチ9が遮断状態 (オフ) から導通状態 (オン) に移る際のしきい値電圧 V_{th} にバラツキがあると、それに応じた電圧が水平信号線10を通して電荷検出回路15で画素信号に加算され、縦筋状の固定パターンノイズが現われる。

【0014】更に詳細に、このXYアドレス型の増幅型固体撮像素子における水平走査回路16から発生する縦筋状の固定パターンノイズの発生メカニズムを説明する。

【0015】図11の増幅型固体撮像素子1の負荷容量素子8と水平スイッチ9と出力回路 (電荷検出回路) 15だけを抽出した等価回路を図14に示す。説明の前提として、ここでは水平スイッチ9のしきい値電圧 V_{th} のバラツキに注目する。

【0016】図14の負荷容量素子8に保持された画素

信号は、水平スイッチ9が導通状態になることで水平信号線10に電荷として流れ、電荷検出回路15により電圧に復調されて画素信号が撮像素子の出力端子 t_{out} に出力される。

【0017】このとき、水平スイッチ9と水平信号線10の間に発生している容量が、水平スイッチ9の遮断状態から導通状態に変わる時に大きく変化するため、水平スイッチ9の遮断状態と導通状態の境界を決めているしきい値電圧 V_{th} に、それぞれの列の水平スイッチ毎でバラツキがあると、そのしきい値電圧 V_{th} のバラツキと容量の変化量の積で表される電荷が水平信号線10に現れるため、この電荷量に相当する縦筋状の固定パターンノイズが画素信号に重畳してしまう。

【0018】この様子を図15において、水平スイッチ9をキャパシタンスモデルに変換した水平スイッチの遮断と導通の前後での2つの等価回路で説明する。図15Aでは、水平スイッチ(MOSトランジスタ)9が遮断状態(オフ)にあり、キャパシタンスモデルとしては水平シフトレジスタ11からのパルス ϕ_H が入る水平スイッチ9のゲートと画素信号が保持される負荷容量素子8の間にゲート・ドレイン間キャパシタンス91が発生し、水平スイッチ9のゲートと水平信号線10の間にゲート・ソース間キャパシタンス92が発生し、負荷容量素子8と水平信号線10は遮断されている。

【0019】一方、図15Bでは、水平スイッチ(MOSトランジスタ)9が導通状態(オン)にあり、負荷容量素子8は水平信号線10に接続され、水平シフトレジスタ11からのパルス ϕ_H が入る水平スイッチ9のゲートと水平信号線10の間にゲート・チャネル間キャパシタンス93が発生する。ここでキャパシタンス93の容量は、図15Aのキャパシタンス91と92の合計容量に比べてかなり大きい。

【0020】これら2つの状態(A)(図15Aの状態参照)、状態(B)(図15Bの状態参照)が水平スイッチ9のゲートに入るパルス ϕ_H の電圧に対して水平スイッチ9のしきい値電圧 V_{th} を境に切り替えるため、夫々の水平スイッチ9でしきい値電圧 V_{th} にバラツキがあると、そのしきい値電圧 V_{th} のバラツキと状態(A)と(B)の水平スイッチ9の容量の差との積が水平信号線10にバラツキ電荷として現われ、縦筋状の固定パターンノイズになる。

【0021】いま、キャパシタンス91、92、93の容量をそれぞれ C_{gs} 、 C_{cs} 、 C_c とし、水平スイッチ9のしきい値電圧 V_{th} のバラツキを ΔV_{th} 、水平信号線10に現れるバラツキ電荷を Δq 、電荷検出回路15の検出容量素子13の容量を C_o 、出力に現れる縦筋状の固定パターンノイズを ΔV_{out} とすると、バラツキ電荷 Δq と固定パターンノイズ ΔV_{out} は、数1で表される。

【0022】

【数1】

$$\Delta q = (C_{gs} - C_{cs} - C_{cs}) \cdot \Delta V_{th}$$

$$\Delta V_{out} = \frac{\Delta q}{C_o}$$

【0023】具体的に容量 C_{gs} 、 C_{cs} が1fF、容量 C_o が20fF、しきい値電圧 V_{th} のバラツキ ΔV_{th} が50mV、検出容量素子13の容量 C_o が0.5pFであるなら、固定パターンノイズ ΔV_{out} は1.8mVになる。

【0024】比較例の固体撮像素子1における駆動タイミングチャートと縦筋状の固定パターンノイズの現われ方を図13に示す。同一行の画素2を選択する垂直選択パルス ϕ_V (ϕ_{V1} , ..., ϕ_{Vn} , ϕ_{Vn+1} , ...)は水平ブランキング期間 T_{BL} 毎に順次立ち上り、垂直選択パルス ϕ_V に同期して動作パルス ϕ_{out} が立ち、画素信号が負荷容量素子8に読み出される。負荷容量素子8に保持されたある行の画素信号は、水平映像期間 T_A に入ると、水平シフトレジスタ11からの水平走査パルス ϕ_H (ϕ_{H1} , ..., ϕ_{Hn} , ϕ_{Hn+1} , ...)が順次立ち上がることにより、水平スイッチ9が順次導通状態になり、出力端子 t_{out} に画素信号(出力信号)が現れる。

【0025】このとき、例えばどの画素2からも同じ信号量が出され、水平スイッチ9のしきい値電圧 V_{th} だけがそれぞれバラツキを持っていると、図10のように出力端子 t_{out} からの出力信号 S_i の信号量が一定でなく、固定パターンノイズ成分 S_n が重畳するように出力信号が現れる。

【0026】これまでのXYアドレス型の増幅型固体撮像素子1は、水平走査回路16から発生する縦筋状の固定パターンノイズを除去するのに、外部に固定パターンノイズを補正する回路を必要としていたため、固体撮像素子の周辺回路と信号処理回路を含むシステムの規模が大きくなり、システムのコストを上昇させる欠点があった。

【0027】本発明は、上述の点に鑑み、水平走査回路から発生する縦筋状の固定パターンノイズを除去するようにした増幅型固体撮像素子を提供するものである。本発明は、水平走査回路から発生する縦筋状の固定パターンノイズを除去するようにした増幅型固体撮像素子の固定パターンノイズ補正方法を提供するものである。さらに本発明は、上記固定パターンノイズ補正方法等に適用される補正値書き込み方法を提供するものである。

【0028】

【課題を解決するための手段】本発明に係る増幅型固体撮像素子は、水平走査回路内のスイッチ手段のバラツキに応じた補正信号を記憶する記憶素子を有し、画素信号と同時に記憶素子に記憶させた補正信号を水平出力回路に読み出すように構成する。

【0029】この構成によれば、画素信号と同時に記憶

素子に記憶させた補正信号を水平出力回路に読み出すことにより、固定パターンノイズを含む画素信号から補正信号が加算又は減算され、撮像素子外部の信号処理回路を用いずに固定パターンノイズを除去することができる。

【0030】本発明に係る増幅型固体撮像素子の固定パターンノイズ補正方法は、記憶素子に固定パターンノイズの補正値を記憶させ、水平走査パルスによって画素信号と補正値を混合して出力するようになる。

【0031】固定パターンノイズの補正値を記憶素子に記憶させ、水平走査パルスによって、画素信号と補正値を混合して出力することにより、画素信号から固定パターンノイズが除去され、固定パターンノイズを補正することができる。

【0032】本発明に係る補正値書き込み方法は、メモリトランジスタからなる記憶素子の一方の主電極にスイッチング素子を接続し、スイッチング素子のオン・オフ動作によって記憶素子の補正値の書き込みを行うようにする。

【0033】記憶素子の一方の主電極に接続されたスイッチング素子をオン・オフすることで、記憶素子が記憶している補正値（電圧）を変化することができる。又、スイッチング素子のオン・オフ回数かオンの期間を調整して望んだ補正値を得ることができる。

【0034】

【発明の実施の形態】本発明に係る増幅型固体撮像素子は、受光素子からの画素信号を行毎に出力端子に出力する水平走査回路を有する増幅型固体撮像素子において、水平走査回路内のスイッチ手段のバラツキに応じた補正信号を記憶する記憶素子を有し、画素信号と同時に記憶素子に記憶させた補正信号を水平出力回路に読み出す構成とする。

【0035】本発明に係る増幅型固体撮像素子は、上記増幅型固体撮像素子において、受光素子を行列状に配置し、同一行の受光素子の制御電極を垂直走査回路からの垂直選択線に共通接続し、同一列の受光素子の主電極を垂直信号線に共通接続し、記憶素子を受光素子の列毎に対応して配置したXYマトリックス型の構成とする。

【0036】記憶素子としては、フローティングゲートMOSトランジスタ又はMONOS構造のトランジスタを用いることができる。

【0037】補正信号としては、記憶素子のフローティングゲートにホットエレクトロンを注入し、変化したしきい値電圧を用いることができる。

【0038】補正信号としては、記憶素子のフローティングゲートに対してトンネル酸化膜を介して書き込み電極とフローティングゲート間のトンネル電流により電子を注入し、又は引き抜き、変化したしきい値電圧を用いることができる。

【0039】前記増幅型固体撮像素子においては、画素

信号と記憶素子の補正信号を夫々別の容量素子に保持し、スイッチ手段を介して同一の水平信号線で混合して出力する構成とする。

【0040】この夫々の容量素子としては、画素信号を保持する容量素子の容量より、記憶素子の補正信号を保持する容量素子の容量を小さくして構成する。

【0041】補正信号としては、垂直オプティカルブラックの信号を基準信号にして得ることができる。

【0042】本発明に係る増幅型固体撮像素子の固定パターンノイズ補正方法は、記憶素子に固定パターンノイズの補正値を記憶させ、水平走査パルスによって画素信号と補正値を混合して出力し、固定パターンノイズを補正する。

【0043】この補正値を得るための基準信号としては、垂直オプティカルブラックの信号を用いることができる。

【0044】本発明に係る補正値書き込み方法は、メモリトランジスタからなる記憶素子の一方の主電極にスイッチング素子を接続し、スイッチング素子のオン・オフ動作によって記憶素子への補正値の書き込みを選択的に行うようにする。

【0045】この補正値を得るための基準信号としては、垂直オプティカルブラックの信号を用いることができる。

【0046】以下、画面を参照して本発明の実施例について説明する。

【0047】図1は、本発明による増幅型固体撮像素子の一実施例を示す。本例に係る増幅型固体撮像素子41は、行列状に配列された複数の受光素子、即ち単位画素（セル）を構成する画素トランジスタ、例えば画素MOSトランジスタ2と、同一行の画素MOSトランジスタ2の制御電極（即ちゲート電極）を接続した垂直選択線4に垂直選択パルス ϕV （ $\phi V_1, \dots, \phi V_n, \phi V_{n+1}, \dots$ ）を印加する垂直走査回路3と、同一列の画素MOSトランジスタ2の一方の主電極（即ちソース電極）を接続した垂直信号線5と、この垂直信号線5に接続された画素信号用動作スイッチ（例えばMOSスイッチ）7、画素信号用負荷容量素子8、画素信号用水平スイッチ（例えばMOSスイッチ）9、水平信号線10、補正信号用動作スイッチ（例えばMOSスイッチ）18、補正信号用容量素子17、補正信号用水平スイッチ16、補正信号メモリ素子19、補正信号書き込みスイッチ（例えばMOSスイッチ）20及び水平シフトレジスタ11を含む水平走査回路42と、水平信号線10に接続された出力回路、即ち電荷検出回路15とから構成される。

【0048】即ち、複数の画素MOSトランジスタ2が行列状に配列され、同一行の画素MOSトランジスタ2の制御電極、即ちゲートが垂直選択線4に共通接続され、同一列の画素MOSトランジスタ2の一方の主電

極、即ちソースが垂直信号線5に共通接続されると共に、他方の主電極、即ちドレインが電源 V_{cc} に接続される。

【0049】そして、垂直信号線5に動作パルス ϕ_{op} により制御される画素信号用動作スイッチ7を介して画素MOSトランジスタ2の画素信号を保持する画素信号用負荷容量素子8が接続され、この画素信号用負荷容量素子8と水平信号線10との間に水平シフトレジスタ11からの水平走査パルス ϕ_H (ϕ_{H1} , ..., ϕ_{Hn} , ϕ_{Hn+1} , ...) により、制御される画素信号用水平スイッチ9が接続される。

【0050】一方、補正信号メモリ (例えばフラッシュメモリ、EPROMなどのフローティングゲートMOSトランジスタ、或はMONOS構造のトランジスタ等で構成されるメモリ) 19は、この画素MOSトランジスタ2の各列に対応して夫々設けられる。この補正信号メモリ19の一方の主電極 (即ちソース電極) が上記動作パルス ϕ_{op} によって制御される補正信号用動作スイッチ18を介して補正信号用容量素子17に接続され、この補正信号用容量素子17と水平信号線10との間に水平シフトレジスタ11からの水平走査パルス ϕ_H (ϕ_{H1} , ..., ϕ_{Hn} , ϕ_{Hn+1} , ...) により制御される補正信号用水平スイッチ16が接続される。

【0051】補正信号メモリ19の一方の主電極 (ソース電極) には、補正信号書き込みスイッチ (例えばMOSスイッチ) 20が接続され、この補正信号書き込みスイッチ20の制御電極に水平シフトレジスタからの水平走査パルス ϕ_H (ϕ_{H1} , ..., ϕ_{Hn} , ϕ_{Hn+1} , ...) が与えられるようになされている。回各列に対応する各補正信号メモリ19の他方の主電極 (ドレイン電極) は、所要の電圧 V_{cc} を印加する共通端子 t_{vcc} に接続され、その制御電極が制御電圧 V_{cc} を印加するための共通制御端子 t_{vcc} に接続される。

【0052】水平信号線10の出力端に接続される電荷検出回路15は、前述と同様に、反転増幅器例えば差動増幅器等を用いた演算増幅器12と、検出容量素子13と、リセットスイッチ (例えばMOSスイッチ) 14とを備えて成る。水平信号線10は演算増幅器12の反転入力端子に接続され、その非反転入力端子に所定のバイアス電圧 V_b が与えられる。検出容量素子13は演算増幅器12の反転入力端子と出力端子間に接続され、この検出容量素子13に並列にリセットパルス ϕ_r が印加されるリセットスイッチ (例えばMOSスイッチ) 14が接続される。

【0053】次に、かかる増幅型固体撮像素子41の動作を、撮像動作及び固定パターンノイズの補正値書き込み動作に分けて説明する。まず、撮像動作について説明する。垂直走査回路3から出された垂直選択パルス ϕ_V (ϕ_{V1} , ..., ϕ_{Vn} , ϕ_{Vn+1} , ...) により選択された行の画素MOSトランジスタ2の一方の主電極 (ソ

ース電極) から垂直信号線5に出力された画素信号は、画素信号用動作スイッチ7が遮断→導通→遮断 (読み出し) の動作をすることで画素信号用負荷容量素子8に保持される。一方、これと同時に、固定パターンノイズの補正値を書き込んだ補正信号メモリ19の主電極 (ソース電極) から出力される補正信号は、補正信号用動作スイッチ18が遮断→導通→遮断 (読み出し) の動作をすることで補正信号用容量素子17に保持される。

【0054】これらの一連の動作により、画素信号用負荷容量素子8と補正信号用容量素子17に保持された画素信号と補正信号は、水平シフトレジスタ11からの水平走査パルス ϕ_H (ϕ_{H1} , ..., ϕ_{Hn} , ϕ_{Hn+1} , ...) に従って画素信号用水平スイッチ9と補正信号用水平スイッチ16を同時に導通状態にすることにより、水平信号線10を通して出力回路、即ち電荷検出回路15で加算され、これによって、画素信号から縦筋状の固定パターンノイズが除去される。

【0055】この撮像動作における駆動タイミングチャートは、図3に示すように、比較例の撮像素子のもの (図10参照) と同じであり、端子 t_{vcc} 、 t_{vcc} に電源電圧 (例えば5V) が与えられている点と、出力端子 t_{out} に固定パターンノイズが現れない点以外は、図10と同一になる。

【0056】同一行の画素MOSトランジスタ2を選択する垂直選択パルス ϕ_V (ϕ_{V1} , ..., ϕ_{Vn} , ϕ_{Vn+1} , ...) は、水平ブランキング期間 T_{hal} 毎に順次立ち上り、垂直選択パルス ϕ_V に同期して動作パルス ϕ_{op} が立ち、画素信号が画素信号用負荷容量素子8に読み出され保持される。それと同時に、補正信号メモリ19の主電極 (ソース電極) から補正信号用動作スイッチ18が遮断→導通→遮断の動作をすることで、補正信号用容量素子に補正信号が読み出され保持される。

【0057】画素信号用負荷容量素子8と補正信号用容量素子17に保持されたある行の画素信号と補正信号は、水平映像期間 T_h に入ると、水平シフトレジスタ11からの水平走査パルス ϕ_H (ϕ_{H1} , ..., ϕ_{Hn} , ϕ_{Hn+1} , ...) が順次立ち上がることにより、画素信号用水平スイッチ9と補正信号用水平スイッチ16が同時に導通状態になり、出力端子 t_{out} に画素信号と補正信号の加算された信号が現れる。このとき、例えば、どの画素MOSトランジスタ2からも同じ信号量が出力され、水平スイッチ9のしきい値電圧 V_{th} がそれぞれバラツキを持っていたとしても、適正な補正信号を記憶した補正信号メモリ19からの補正信号が加算されるため、図3に示すように、出力信号の信号量 S_o が一定になり、固定パターンノイズ成分がない出力信号が得られる。

【0058】このとき、補正信号用容量素子17は、画素信号用負荷容量素子8に対して例えば2桁小さい値に設定しておくと、1mVの固定パターンノイズを補正するのに補正信号メモリ19に記憶する補正値を100m

Vと大きい値にすることができ、補正值の書き込みの誤差を低減することができる。

【0059】次に、固定パターンノイズの補正值書き込み動作について説明する。固定パターンノイズの補正值書き込み動作としては、画素信号に重畳されている固定パターンノイズを丁度打ち消すようなアナログ値を、補正信号メモリにフラッシュメモリと同じような方法で書き込む方法を取る。

【0060】図2A、Bは、補正信号メモリ19の構造の一例とその動作を示した図である。この補正信号メモリ19は、いわゆるフローティングゲートMOSトランジスタで構成される。即ち、例えばp型半導体ウエル領域51にn型のソース領域52及びドレイン領域53を形成し、このソース領域52及びドレイン領域53間のp型半導体ウエル領域51に第1のゲート絶縁膜54を介して浮遊電極（いわゆるフローティングゲート電極）55を形成し、さらにその上に第2のゲート絶縁膜56を介して制御電極（いわゆるコントロールゲート電極）57を形成して構成される。この補正信号メモリ19の制御電極57には共通制御端子 t_{vcc} を通して所要の制御電圧 V_{cc} が与えられ、その一方の主電極、即ちドレイン電極には共通端子 t_{vcc} を通じて所要の電圧 V_{cc} が与えられる。又補正信号メモリ19の他方の主電極（即ちソース電極）は補正信号書き込みスイッチ20を介して接地される。

【0061】まず、補正信号メモリ19の制御電極に共通制御端子 t_{vcc} を通じて書き込み電圧 V_{cc} （例えば約12V）を与え、補正信号メモリ19の一方の主電極（ドレイン電極）に共通端子 t_{vcc} を通じて所要の電圧 V_{cc} 、即ち電源電圧（例えば約6V）を与え、水平シフトレジスタ11からの水平走査パルス ϕH （ $\phi H_1, \dots, \phi H_n, \phi H_{n+1}, \dots$ ）により補正信号書き込みスイッチ20を導通状態にして補正信号メモリ19にドレイン電流を流し、発生したホットエレクトロン59を補正信号メモリ19の浮遊電極55に注入し、その電位を制御する（図2A参照）。

【0062】補正信号メモリ19に書き込む補正信号値は、このホットエレクトロン注入量を定める書き込み時間とか、書き込み回数を制御することで決まる。

【0063】また、補正信号メモリ19の補正信号値を書き換える場合は、図2Bに示すように、共通制御端子 t_{vcc} に制御電圧 V_{cc} 、即ち消去電圧（例えば約0V）を与え、共通端子 t_{vcc} を通じて共通主電極に所要の電圧 V_{cc} 、即ち高い電圧（例えば約12V）を与え、水平シフトレジスタ11からの水平走査パルス ϕH は与えずに補正信号メモリ19の主電極（ソース電極）を浮遊状態にすることで、すべての補正信号メモリ19の浮遊電極55に注入されているホットエレクトロン59を一旦FNトンネリングにより引き抜き、補正信号メモリ19を消去した後、再び前述と同じ書き込み動作をする。

【0064】この補正值書き込み動作におけるタイミングチャート例を図4に示す。ここでは、水平シフトレジスタ11からの水平走査パルス ϕH （ $\phi H_1, \dots, \phi H_n, \phi H_{n+1}, \dots$ ）に同期させて、共通制御端子 t_{vcc} に書き込み電圧パルス V_{cc} を1, $\dots, n, n+1, \dots$ 番目ごとに立て、そのパルス幅（補正值メモリ書き込み時間）を変化させることにより、それぞれの補正信号メモリ19に適切な補正值を書き込む。

【0065】上記の補正書き込み動作で、補正信号メモリ19に書き込む補正值としては、固定パターンノイズ ΔV_{fix} が出力端子 t_{out} に1.8mV現れている条件で、撮像素子の補正信号用容量素子17の容量 C_1 が4.5fFで、検出容量素子13の容量 C_2 が0.5pFであるなら、補正信号メモリ19に0.2Vの補正值（しきい値電圧）を書き込めば良い。書き込んだ補正值（しきい値電圧）を ΔV_{fix} で表わすなら、数2で求められる。

【0066】

【数2】

$$\Delta V_{fix} \cong \Delta V_{fix} \cdot \frac{C_2}{C_1}$$

【0067】尚、補正信号メモリ19における補正值の制御としてパルス幅を変化させる代わりに、例えば一定パルス幅の書き込み電圧パルスのパルス数を変えることによっても補正值の制御ができる。

【0068】補正信号メモリ19として、上例ではフローティングMOSトランジスタで構成したが、その他、例えばソース領域及びドレイン領域間の半導体領域上に、SiO₂層、SiN層、SiO₂層を介して制御電極を形成し、SiN層をいわゆるホットエレクトロンを注入する層として用いる、いわゆるMONOS構造のトランジスタを用いることもできる。

【0069】次に、図5は本発明に係る増幅型固体撮像素子の他の実施例を示す。この例は、補正值メモリの構造を変え、一括した消去ではなく、+/-の書き込みを可能にした方式である。

【0070】本例に係わる増幅型固体撮像素子61は、行列状に配列された複数の画素、即ち画素MOSトランジスタ2と、同一行の画素MOSトランジスタ2の制御電極（ゲート電極）を接続した垂直選択線4に垂直選択パルス ϕV （ $\phi V_1, \dots, \phi V_n, \phi V_{n+1}, \dots$ ）を印加する垂直走査回路3と、同一列の画素MOSトランジスタ2の一方の主電極（即ちソース電極）を接続した垂直信号線5と、この垂直信号線5に接続された画素信号用動作スイッチ（例えばMOSスイッチ）7、画素信号用負荷容量素子8、画素信号用水平スイッチ（例えばMOSスイッチ）9、水平信号線10、補正信号用動作スイッチ（例えばMOSスイッチ）18、補正信号用容量素子17、補正信号用水平スイッチ（例えばMOSス

スイッチ) 16、さらに補正信号メモリ21、ブートストラップ容量素子22、カップリング容量素子23、24、クランプダイオード25 (25a, 25b)、インバータ26及び水平シフトレジスタ11を含む水平走査回路62と、水平信号線10に接続された出力回路、即ち電荷検出回路15とで構成される。

【0071】即ち、前述と同様に、複数の画素MOSトランジスタ2が行列状に配列され、同一行の画素MOSトランジスタ2の制御電極、即ちゲートが垂直選択線4に共通接続され、同一列の画素MOSトランジスタ2の一方の主電極、即ちソースが垂直信号線5に共通接続されると共に、他方の主電極、即ちドレインが電源V₀に接続される。

【0072】そして、垂直信号線5に動作パルス ϕ_{01} により制御される画素信号用動作スイッチ7を介して画素MOSトランジスタ2の画素信号を保持する画素信号用負荷容量素子8が接続され、この画素信号用負荷容量素子8と水平信号線10との間に水平シフトレジスタ11からの水平走査パルス ϕ_H ($\phi_{H1}, \dots, \phi_{Hn}, \phi_{Hn+1}, \dots$) により制御される画素信号用水平スイッチ9が接続される。

【0073】一方、後述する構造の補正信号メモリ21は、画素MOSトランジスタ2の各列に対応して夫々設けられ、この補正信号メモリ21の一方の主電極(即ちソース電極)が上記動作パルス ϕ_{01} によって制御される補正信号用動作スイッチ18を介して補正信号用容量素子17に接続され、この補正信号用容量素子17と水平信号線10との間に水平シフトレジスタ11からの水平走査パルス ϕ_H ($\phi_{H1}, \dots, \phi_{Hn}, \phi_{Hn+1}, \dots$) により制御される補正信号用水平スイッチ16が接続される。

【0074】補正信号メモリ21の他方の主電極(即ちドレイン電極)は電源V₀に接続される。補正信号メモリ21の制御電極(図6参照)71がブートストラップ容量素子22を介して共通の書き込みパルス端子W/Eに接続され、その+書き込み電極(図6参照)72がカップリング容量素子23を介して水平シフトレジスタ11に接続され、その-書き込み電極(図6参照)73がカップリング容量素子24及びインバータ26を介して水平シフトレジスタ11に接続される。+書き込み電極72は第1のクランプダイオード25aを介して電源V₀に接続され、-書き込み電極73は第2のクランプダイオード25bを介して接地される。

【0075】次に、かかる増幅型固体撮像素子の動作を、撮像動作及び固定パターンノイズの補正值書き込み動作に分けて説明する。

【0076】まず、撮像動作について説明する。垂直走査回路3から出された垂直選択パルス ϕ_V ($\phi_{V1}, \dots, \phi_{Vn}, \phi_{Vn+1}, \dots$) により選択された行の画素MOSトランジスタ2の一方の主電極から垂直信号線5

に出力された画素信号は、画素信号用動作スイッチ7が遮断→導通→遮断(読み出し)の動作をすることで画素信号用負荷容量素子8に保持される。一方、これと同時に、固定パターンノイズの補正值を書き込んだ補正信号メモリ21の主電極から出力される補正信号は、補正信号用動作スイッチ18が遮断→導通→遮断(読み出し)の動作をすることで補正信号用容量素子17に保持される。

【0077】これらの一連の動作により、画素信号用負荷容量素子8と補正信号用容量素子17に保持された画素信号と補正信号は、水平シフトレジスタ11からの水平走査パルス ϕ_H ($\phi_{H1}, \dots, \phi_{Hn}, \phi_{Hn+1}, \dots$) に従って画素信号用水平スイッチ9と補正信号用水平スイッチ16を同時に導通状態にすることにより、水平信号線10を通して電荷検出回路15で加算され、これによって画素信号から縦筋状の固定パターンノイズを除去することができる。

【0078】この撮像動作における駆動タイミングチャートは、前述の実施例で端子 t_{vsc} と t_{vsc} に電源電圧を与えている代わりに、書き込みパルス端子W/Eが接地されている以外は、前述の実施例の撮像素子のものと同じであるため省略する。

【0079】一方、補正值書き込み動作は、画素信号に重畳されている固定パターンノイズを丁度打ち消すようなアナログ値を、補正信号メモリ21にトンネル酸化膜を介したFNトンネリングにより電子をフローティングゲート電極(FG)に注入/引き抜きをする書き込み方法を取る。

【0080】補正信号メモリ21の基本的な構造を図6B、Cに示し、動作のタイミングチャートを図7に示しながら詳細な動作を説明する。

【0081】まず、補正信号メモリ21は、図6B、Cに示すように、p型半導体ウエル領域65にn型のソース領域66及びドレイン領域67を形成し、このソース領域66及びドレイン領域67間のp型半導体ウエル領域65上にゲート絶縁膜68を介して浮遊状態にある制御電極、いわゆるフローティングゲート電極(FG)71を形成してなるMOSトランジスタ70と、このフローティングゲート電極71上にトンネル酸化膜74を挟んで+書き込み電極(W)72及び-書き込み電極(E)73を並列配置して構成される。図6Aは、この補正信号メモリ21の記号を示す。

【0082】補正信号メモリ21の+/-書き込み動作としては、フローティングゲート電極(FG)71と+書き込み電極(W)72又は-書き込み電極(E)73との間に高い電圧を掛けることで、電子の注入または引き抜きを行い、フローティングゲート電極(FG)71の電位を変えることでMOS構造の補正信号メモリ21の表面チャネルの電位を変化するようにして行なわれる。この時、補正信号メモリ21への書き込み動作タイ

ミングは図7で示される。

【0083】まず、+書き込みでは、書き込みパルス端子W/Eから10Vのパルスが図5中のブートストラップ容量素子22に入り、その結果、フローティングゲート電極71が初期電圧3.0Vだったところ-4.0Vまで変化する。そこに、水平シフトレジスタ11から水平走査パルスφH₁が立ち上がると、カップリング容量素子23を介して補正信号メモリ21の+書き込み電極(W)72の電圧が例えば8.5Vまで上がり、+書き込み電極(W)72とフローティングゲート電極(FG)71の電位差が12.5Vになる。

【0084】+書き込み電極(W)72とフローティングゲート電極(FG)71との間のトンネル酸化膜74は12V程度の電圧でFNトンネリングが起るような酸化膜厚に設定されており、フローティングゲート電極(FG)71から+書き込み電極(W)72へ電子が引き抜かれ、フローティングゲート電極(FG)71の電位が3.0Vから例えば3.05Vに変化し、+書き込みが完了する。

【0085】一方、-書き込みでは、書き込みパルス端子W/Eから10Vのパルスが図5中のブートストラップ容量素子22に入り、その結果、フローティングゲート電極(FG)71は初期電圧2.0Vだったところ9.0Vまで変化する。そこに水平シフトレジスタ11から水平走査パルスφH₁が立ち上がると、カップリング容量素子24を介して補正信号メモリ21の-書き込み電極(E)73の電圧が例えば-3.5Vまで下がり、-書き込み電極(E)72とフローティングゲート電極(FG)71の電位差が-12.5Vになる。-書き込み電極(E)73とフローティングゲート電極(FG)71との間のトンネル酸化膜74でFNトンネリングが起り、-書き込み電極(E)73からフローティングゲート電極(FG)91に電子が注入され、フローティングゲート電極(FG)71の電位が2.0Vから例えば1.95Vに変化し、-書き込みが完了する。

【0086】このような+/-書き込み動作により、画素信号に重畳されている固定パターンノイズを丁度打ち消すように、補正信号メモリ21のフローティングゲート電極(FG)71の電位を変化させ補正信号メモリ21が適正な補正信号を発生するように制御する。

【0087】上述の実施例によれば、増幅型固体撮像素子に固定パターンノイズを補正する補正信号を記憶する補正信号のメモリ19又は21を内蔵することにより、撮像素子外部の信号処理回路を用いずとも固定パターンノイズを効果的に除去することができる。この結果、外部信号処理回路の構成が簡素化され、低消費電力、低価格等が規定できる。

【0088】補正信号メモリ21のフローティングゲート電極71にトンネル酸化膜74を介して+書き込み電極72からトンネル電流により電子を注入し、又はフロ

ーティングゲート71から-書き込み電極73に電子を引き抜き、変化したしきい値電圧を記憶信号(即ち記憶電圧)として用いることにより、補正信号メモリ21に記憶した補正信号を変更したり随時変化させたりすることが可能になり、補正信号メモリ21における補正信号量の経年変化を補償することが可能になる。

【0089】画素信号と補正信号メモリ19又は21の記憶電圧をそれぞれ別々の容量素子8及び17に保持し、列選択スイッチ即ち水平スイッチ9及び16を介して同一の水平信号線10で混合して出力することにより、固定パターンノイズを含む画素信号から補正信号を減じたり、加算したりするような演算回路を必要とせず、撮像素子の内部回路を簡略化することができ、消費電力の低減、チップサイズの縮小による低価格化が期待できる。

【0090】画素信号を保持する負荷容量素子8に比べて補正信号メモリ19又は21の記憶信号(記憶電圧)を保持する容量素子16の容量を小さくすることにより、非常に小さいレベルの固定パターンノイズを、大きいレベルの補正信号量として補正信号メモリ19又は21に記憶するため、縦筋状の固定パターンノイズの補正の精度が高くなる。

【0091】上述の図1及び図5の実施例において、その補正值を決める方法として、図10に示すいわゆる垂直オプティカルブラック領域で得られる信号を基準信号として補正值を決めることができる。通常、増幅型固体撮像素子においては、図10に示すように有効画素領域81の外側に受光部上を例えば、A1等の遮光層で被覆したオプティカルブラック領域82が設けられ、このオプティカルブラック領域82からの信号を黒レベルの信号としている。オプティカルブラック領域82としては、行列状に配列された画素(受光部)の行方向に延長する領域に設けられた水平オプティカルブラック領域82Hと、画素の列方向に延長する領域に設けられた垂直オプティカルブラック領域82Vとを有する。本例では、正味の縦筋状固定パターンノイズ成分として取り出せる垂直オプティカルブラック82Vの信号を書き込み補正するための基準信号として用いるものである。

【0092】即ち、図1の第1実施例に対しては、図8に示すように、出荷前に固体撮像素子の撮像状態を検査する時に用いる撮像検査装置84の中に、アンプ91と、A/Dコンバータ92と、ラインメモリ93と、加算平均をとる回路94と、比較器95と、書き込みドライバ86で構成された補正值書き込み回路97を設け、この撮像検査装置84中の補正值書き込み回路97により、本発明の縦筋状固定パターンノイズを自己補正する固定撮像素子に、その補正值を書き込むことができる。

【0093】動作としては、例えば出荷前の固体撮像素子41の検査時に、固体撮像素子41の出力端子t...から出力される信号のうち、垂直オプティカルブラック8

2Vの信号を補正值書き込み回路84に入力し、その書き込みドライバ96から出力される書き込み制御パルスを固体撮像素子41の端子 t_{vc} と端子 t_{voc} に印加して、補正信号メモリ19に適切な補正值を書き込む。

【0094】この図8の実施例では、出荷前の撮像検査時に固定パターンノイズの補正值を補正信号メモリ19に書き込んでしまうため、固体撮像素子をカメラなどに組み動作させる場合には、固定パターンノイズを補正するための処理回路が一切必要なくなる。

【0095】図5の第2実施例に対しては、図9に示すようなアンプ91と、A/Dコンバータ92と、ラインメモリ93と、加算平均をとる回路94と、比較器95と、書き込みドライバ96で構成された補正值書き込み回路99により、本発明の縦筋状固定パターンノイズを自己補正する固体撮像素子61に、補正值を書き込むことができる。

【0096】動作としては、例えば固体撮像素子61の動作時に、固体撮像素子61の出力端 t_{out} から出力される信号のうち、垂直オプティカルブラック82Vの信号を補正值書き込み回路99に入力し、その書き込みドライバ96から出力される書き込み制御パルスを撮像素子61の端子W/Eに印加して補正信号メモリ21に適切な補正值を書き込む。

【0097】この図9の実施例では、撮像状態のまま垂直オプティカルブラック82Vの信号をもとに補正值書き込みパルスを発生させ、固定パターンノイズの補正值を補正信号メモリ21に随時書き込むため、出荷前の撮像検査時に補正する必要がなく、また補正信号メモリ21に書き込んだ補正值を自己修正するため、温度ドリフトや経年変化したとしても、補正值に誤差が発生しない。

【0098】上例では本発明を、XYマトリックス型の増幅型固体撮像素子に適用したが、その他リニアセンサ一用の増幅型固体撮像素子にも適用可能である。

【0099】

【発明の効果】本発明に係る増幅型固体撮像素子によれば、増幅型固体撮像素子に固定パターンノイズを補正する補正信号を記憶する記憶素子を内蔵することにより、撮像素子外部の信号処理回路を用いずとも固定パターンノイズを効果的に除去することができる。この結果、外部信号処理回路の構成が簡素化され、低消費電力、低価格等が規定できる。

【0100】記憶素子のフローティングゲートにトンネル酸化膜を介して書き込み電極からトンネル電流により電子を注入し、又はフローティングゲートから書き込み電極に電子を引き抜き、変化したしきい値電圧を記憶電圧として用いるときは、記憶素子に記憶した補正信号を変更したり随時変化させたりすることが可能になり、記憶素子における補正信号量の経年変化を補償することが可能になる。

【0101】画素信号と記憶素子の記憶電圧をそれぞれ

別々の容量素子に保持し、列選択スイッチを介して同一の水平信号線で混合して出力することにより、固定パターンノイズを含む画素信号から補正信号を減じたり、加算したりするような演算回路を必要とせず、撮像素子の内部回路を簡略化することができ、消費電力の低減、チップサイズの縮小による低価格化が期待できる。

【0102】画素信号を保持する容量素子より記憶素子の記憶電圧を保持する容量素子の容量を小さくすることにより、非常に小さいレベルの固定パターンノイズを、大きいレベルの補正信号量として記憶素子に記憶するため、縦筋状の固定パターンノイズの補正の精度が高くなる。

【0103】本発明に係る増幅型固体撮像素子の固定パターンノイズ補正方法によれば、撮像素子外部の信号処理回路を用いず、水平走査回路から発生する縦筋状の固定パターンを補正することができる。

【0104】本発明に係る補正值書き込み方法によれば、水平走査回路を利用して、記憶素子に選択的に補正值を書き込むことができるため、書き込みに必要な端子が1~2個であったり、特別な書き込み用の回路を必要としない。又、記憶素子の補正值を消去できたり、+/-に書き込めることにより、縦筋状固定パターンノイズレベル又は補正值の経年変化に対応して、補正值を修正できる。又、第2の実施例においては、連続した撮像動作の途中においても補正值を修正できるため、24時間通電の用途にも対応できる。

【0105】補正信号を得るための基準信号として垂直オプティカルブラックの信号を用いるときは、適正な補正值の書き込みが可能となる。

【図面の簡単な説明】

【図1】本発明に係る増幅型固体撮像素子の第1実施例を示す構成図である。

【図2】A、B 図1の補正信号メモリの構造の一例及び動作を示す説明図である。

【図3】第1実施例の増幅型固体撮像素子の駆動タイミングチャート及び出力波形図である。

【図4】第1実施例の増幅型固体撮像素子の補正值書き込み動作タイミングチャートである。

【図5】本発明に係る増幅型固体撮像素子の第2実施例を示す構成図である。

【図6】A 補正信号メモリの記号を示す図である。

B 補正信号メモリの平面図である。

C 補正信号メモリのX-X'線上の断面図である。

【図7】第2実施例の補正值書き込み動作タイミングチャートである。

【図8】本発明の補正值を決める方法の例を示す回路構成図である。

【図9】本発明の補正值を決める方法の他の例を示す回路構成図である。

【図10】本発明の説明に供する固体撮像素子の撮像部

の概略図である。

【図11】比較例に係る増幅型固体撮像素子の構成図である。

【図12】画素MOSトランジスタの断面図である。

【図13】比較例の増幅型固体撮像素子の駆動タイミングチャートと出力波形図である。

【図14】水平走査回路の信号経路の等価回路図である。

【図15】A、B 水平スイッチをキャパシタンスモデルで説明した水平走査回路の信号経路の等価回路である。

【符号の説明】

2 画素MOSトランジスタ、3 垂直走査回路、4

【図1】

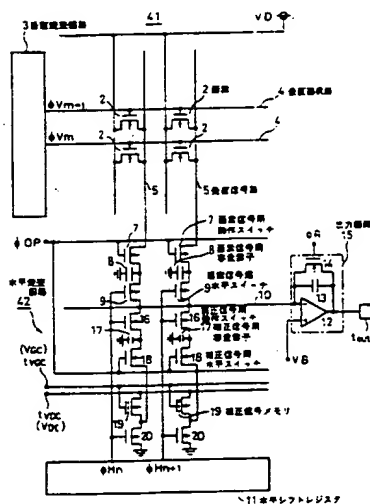
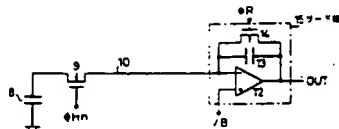


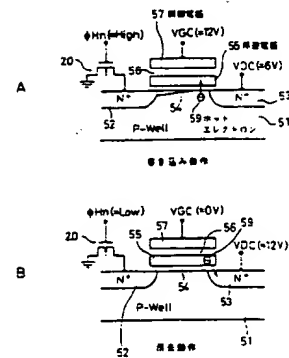
図1 比較例の構成図

【図14】



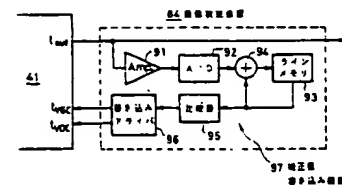
垂直選択線、5 垂直信号線、7 画素信号用動作スイッチ、8 画素信号用負荷容量素子、9 画素信号用水平スイッチ、10 水平信号線、11 水平シフトレジスタ、15 電荷検出回路、16 補正信号用水平スイッチ、17 補正信号用容量素子、18 補正信号用動作スイッチ、19、21 補正信号メモリ、20 補正信号書き込みスイッチ、55 浮遊電極、57 制御電極、71 制御電極、72、73 書き込み電極、41、61 増幅型固体撮像素子、42、62 水平走査回路、81 有効画面、82 オプティカルブラック領域、82 H 水平オプティカルブラック領域、82 V 垂直オプティカルブラック領域、84 撮像検査装置、97、99 補正值書き込み回路

【図2】



補正信号メモリの構造の一例とその動作

【図8】



補正値書き込み方法の一例の回路構成図

【図3】

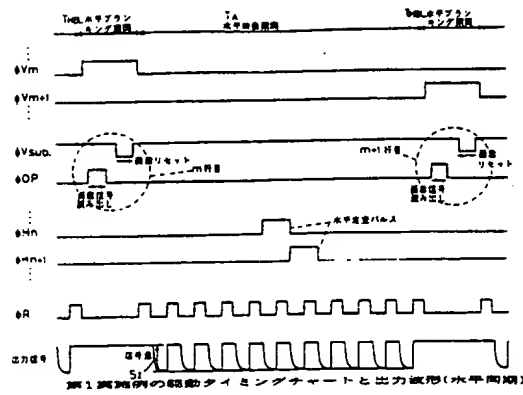


図3 第1実施例の動作タイミングチャートと出力波形（水平同期）

【図4】

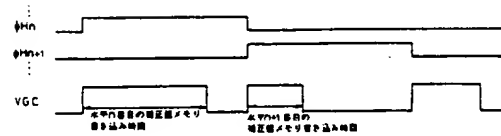


図4 第1実施例の動作タイミングチャート

【図7】

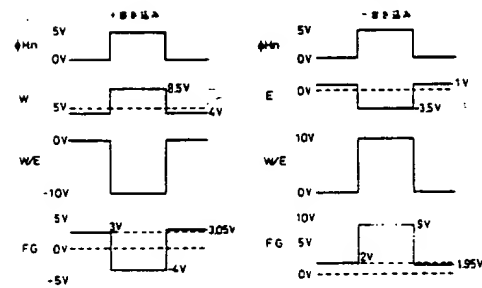


図7 第2実施例の動作タイミングチャート

【図10】

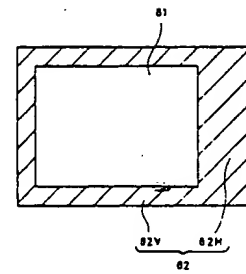


図10 第1実施例のブロック図

【図9】

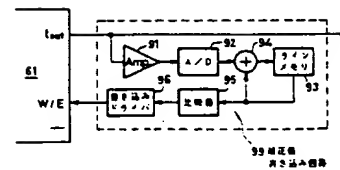
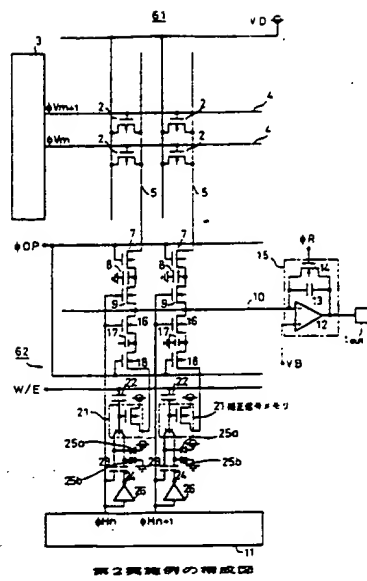
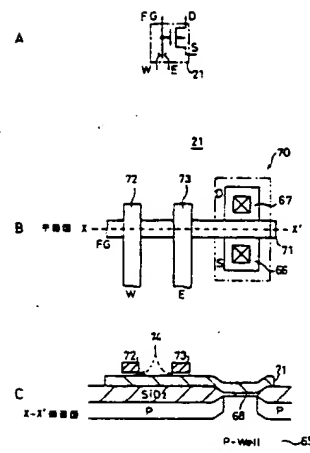


図9 第2実施例の動作タイミングチャート

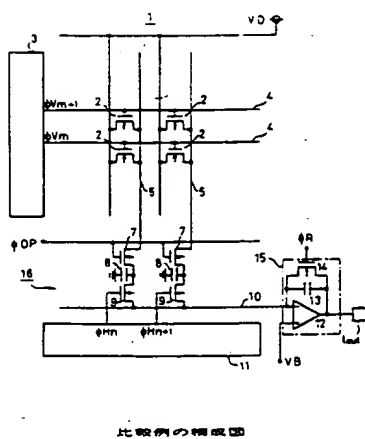
【図5】



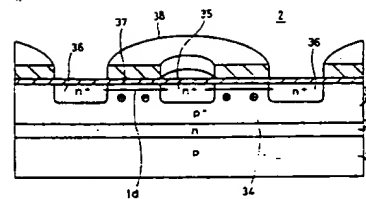
【図6】



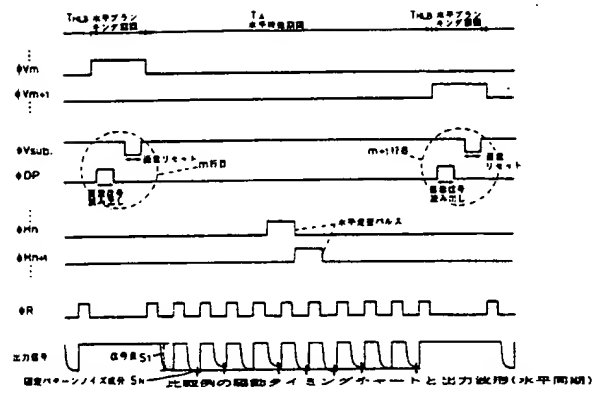
【図11】



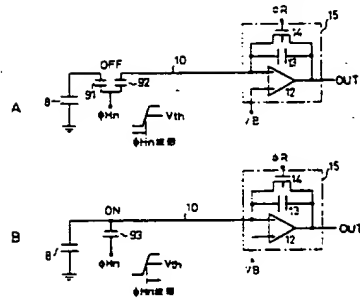
【図12】



【図 13】



【图 15】



This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**